

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 9 月 29 日 (29.09.2005)

PCT

(10) 国際公開番号
WO 2005/091357 A1

- (51) 国際特許分類⁷: H01L 21/82, 21/8234, 27/088
(21) 国際出願番号: PCT/JP2005/004221
(22) 国際出願日: 2005 年 3 月 10 日 (10.03.2005)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2004-078826 2004 年 3 月 18 日 (18.03.2004) JP
(71) 出願人 (米国を除く全ての指定国について): 松下電
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大
字門真 1 0 0 6 番地 Osaka (JP).

Atsuhiko). 丸井 信一 (MARUI, Shinichi). 岡本 稔
(OKAMOTO, Minoru).

(74) 代理人: 高松 猛, 外 (TAKAMATSU, Takeshi et al.);
〒1076013 東京都港区赤坂一丁目 1 2 番 3 2 号アー
ク森ビル 1 3 階 栄光特許事務所 Tokyo (JP).

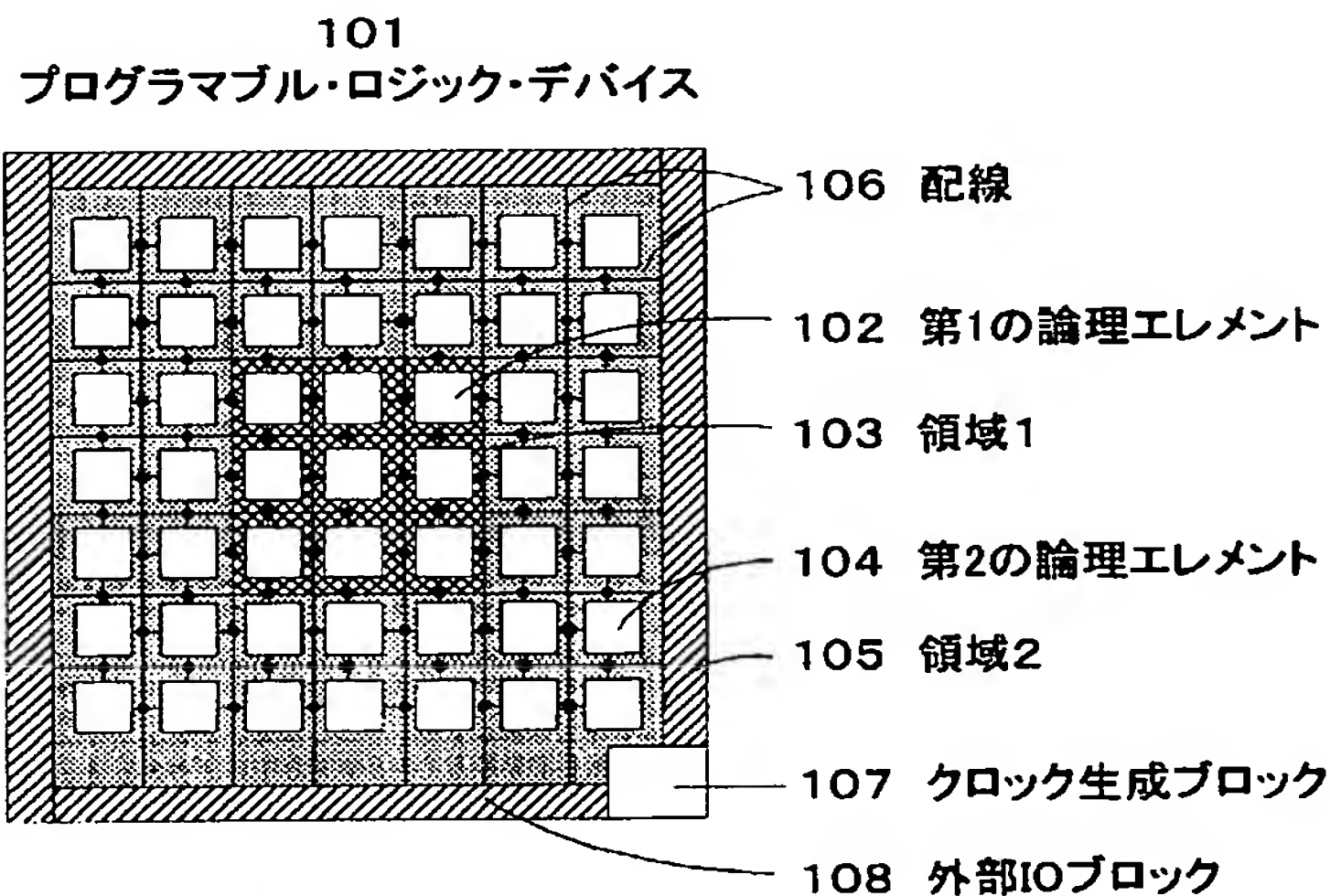
(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

[続葉有]

(54) Title: PROGRAMMABLE LOGIC DEVICE AND ITS DESIGNING METHOD

(54) 発明の名称: プログラマブル・ロジック・デバイスおよびその設計方法



101... PROGRAMMABLE LOGIC DEVICE
102... FIRST LOGIC ELEMENT
103... AREA 1
104... SECOND LOGIC ELEMENT
105... AREA 2
106... WIRING
107... CLOCK GENERATING BLOCK
108... EXTERNAL IO BLOCK

(57) Abstract: A programmable logic device comprising programmable elements, of which the power consumption and the area can be reduced. The programmable logic device (101) comprises a first logic element (102), and a second logic element (104) having the same logic as that of the first logic element (102) and the design limit of an operating speed lower than that of the first logic element (102).

[続葉有]

WO 2005/091357 A1



BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: プログラム可能な論理エレメントからなるプログラマブル・ロジック・デバイスの消費電力と面積を削減可能にする。 プログラム可能な論理エレメントからなるプログラマブル・ロジック・デバイス101において、第1の論理エレメント102と、第1の論理エレメント102と同論理で、かつ動作速度の設計上限が第1の論理エレメント102に比較して低速である第2の論理エレメント104とを備える。

明 細 書

プログラマブル・ロジック・デバイスおよびその設計方法

技術分野

- [0001] 本発明は、プログラム可能な論理エレメントを行・列の方向に複数配置するプログラマブル・ロジック・デバイスおよびその設計方法に関するものである。

背景技術

- [0002] 近年、情報処理端末での情報処理に対するニーズは多様化し、通信方式や信号処理の規格はめまぐるしく変化しているため、製品ライフサイクルはますます短くなる傾向にある。この製品ライフサイクルの短縮化に対応するためには、プログラムによって機能の変更が可能なデバイスが有用である。これらのデバイスの例として、DSP (Digital Signal Processor) やマイクロプロセッサが存在する。DSPやマイクロプロセッサにおいては、命令プログラムを変更することによって、命令レベルでのプログラムの自由度がある。しかしながら、特定用途に限定したASIC (Application Specified IC) に比較すると処理性能で劣っている。
- [0003] そこで、ASICの処理性能とマイクロプロセッサのプログラマビリティを併せ持つデバイスとして、プログラムによって柔軟に回路構成を変更できるプログラマブル・ロジック・デバイスが注目を集めている。プログラマブル・ロジック・デバイスにはいくつかの種類があるが、代表的な例としてはFPGA (Field Programmable Gate Array) を挙げることができる。しかし、これらのデバイスはプログラムで回路構成を変更できる利点がある反面、ASICに比較すると面積の増大、また消費電力の増大などの課題がある。
- [0004] 一方、プログラマブル・ロジック・デバイスの小面積化の方法として、例えば、以下のようなものがある(特許文献1参照)。特許文献1においては、プログラマブル・ロジック・デバイス上の論理エレメント間を接続する配線リソースを、“ノーマル速度”と呼ばれる通信速度を持つ第1のリソースと、第1のリソースに比較して通信速度が高速な第2のリソースとの二つの配線リソースによって構成する。これら二つのリソースの割合は、第1のリソースが配線リソースの大部分を占め、第2のリソースは少数部分を占める。

これにより、高速の通信を要求する一部の配線のみ第2のリソースを使用し、通常の通信には第1のリソースを使用することで、すべての配線を高速設計とする必要がなくなり、高速設計に起因する面積の増大を抑えることができる。

特許文献1:特表2002-538634号公報

発明の開示

発明が解決しようとする課題

[0005] しかしながら、前記特許文献1のプログラマブル・ロジック・デバイスは、論理エレメント間の配線の小面積化と低消費電力化に関しての効果はあるものの、論理エレメントはデバイス内ですべて同一構成をとっている。すなわち、論理エレメント自体、すなわち内部構造に関しては何ら改善の考慮がなされていない。したがって、このプログラマブル・ロジック・デバイスを用いてあるアプリケーションを実現することを考慮すると、論理エレメントは、たとえこのアプリケーションが高速での処理が必要な処理ブロックと低速での処理ブロックの二つの処理ブロックに分かれていても、論理エレメントを設計する際には、もっとも高速の要求される回路ブロックに対応できるように設計する必要がある。

[0006] 結果として低速で動作する回路ブロックに対しても、高速設計された論理エレメントを使用することとなるため、低消費電力を実現することができない。また、全ての論理エレメントが高速設計されているため、面積にも無駄が生じている。このようにプログラマブル・ロジック・デバイスの小面積化と低消費電力化に関しては、いまだ改善の余地がある。

[0007] 特に消費電力に関しては、さらに以下のような課題がある。

半導体デバイスの消費電力Pは一般的に下記の式で表わされる。

$$P = \alpha \cdot C \cdot V^2 \cdot f + I_{\text{leak}} \cdot V \quad (\text{式1})$$

(α : 比例係数、C: ゲート容量・配線容量の総和、f: クロック周波数、 I_{leak} : リーク電流の総和)

[0008] 前記の式1の第1項は、デバイスの動作時の電力消費であり、前記の式1の第2項は、デバイスのオフ時の電流であるリーク電流による電力消費である。近年、半導体プロセスの微細化に伴って、リーク電流による電力消費が増大しており、動作時の電

力消費に比較して無視できないものとなっている。前記のように、消費電力の削減の観点では、リーク電流の削減も重要なファクターであるが、特許文献1に記載のプログラマブル・ロジック・デバイスでは、前記の式1における第1項のCに関する動作時の電力消費のみを考慮するにとどまっており、リーク電流による電力消費は考慮されていない。

[0009] 本発明は、前記の課題を解決するもので、小面積かつ低消費電力で実現することを目的とする。

課題を解決するための手段

[0010] 前記課題を解決するために、第1の発明は、プログラム可能な複数の論理エレメントを配置してなるプログラマブル・ロジック・デバイスであって、前記複数の論理エレメントが所定の論理を有する第1の論理エレメントと、前記第1の論理エレメントと同論理で、かつ動作速度の設計上限が前記第1の論理エレメントに比較して低速である第2の論理エレメントとを含むことを特徴とする。

[0011] 第2の発明は、さらに、前記第2の論理エレメントに、前記第1の論理エレメントに用いるトランジスタに比較して閾値電圧の高いトランジスタを用いることを特徴とする。

[0012] 第3の発明は、さらに、前記第2の論理エレメントは、前記第1の論理エレメントと異なるレイアウト構造を持つことを特徴とする。

[0013] 第4の発明は、さらに、前記第1の論理エレメントは第1のクロック周波数のクロック信号で作動し、前記第2の論理エレメントは前記第1のクロック周波数と比して低い第2のクロック周波数のクロック信号で作動することを特徴とする。

[0014] 第5の発明は、さらに、前記第1の論理エレメントを一箇所に固めて配置することを特徴とする。

[0015] 第6の発明は、さらに、前記第1の論理エレメントを中央部に配置し、前記第2の論理エレメントを、前記第1の論理エレメントを配置した領域と比して周辺部に配置することを特徴とする。

[0016] 第7の発明は、さらに、前記第2の論理エレメントを中央部に配置し、前記第1の論理エレメントを、前記第2の論理エレメントを配置した領域と比して周辺部に配置することを特徴とする。

- [0017] 第8の発明は、プログラム可能な複数の論理エレメントを配置してなるプログラマブル・ロジック・デバイスを設計する方法であって、所定の論理を有する第1の論理エレメントを設計する工程と、前記第1の論理エレメントと同論理で、かつ動作速度の設計上限が前記第1の論理エレメントに比較して低速である第2の論理エレメントを設計する工程とを備えることを特徴とする。

発明の効果

- [0018] 第1の発明によれば、実現するアプリケーションのうち、高速を要求する回路部分を第1の論理エレメントを使用して実現し、低速で動作する回路部分を第2の論理エレメントを使用して実現することができるため、すべての回路を高速対応の第1の論理エレメントを使用して実現した場合に比較して、小面積かつ低消費電力で実現することができる。
- [0019] 第2の発明によれば、実現するアプリケーションのうち、低速で動作する回路部分を第2の論理エレメントのトランジスタの閾値電圧をあげているので、リーク電流を小さくすることができ、さらなる低消費電力を実現することができる。
- [0020] 第3の発明によれば、実現するアプリケーションのうち、高速を要求する回路部分を第1の論理エレメントを使用して実現し、低速で動作する回路部分を第2の論理エレメントを使用して実現することができるため、すべての回路を、第1の論理エレメントを使用して実現した場合に比較して、小面積かつ低消費電力で実現することができる。
- [0021] 第4の発明によれば、低速動作に設計された論理エレメントには低速のクロック周波数のクロック信号を供給しているので、高速のクロック周波数による電力消費を抑えることができ、さらなる低消費電力が実現できる。
- [0022] 第5の発明によれば、実現するアプリケーションのうち、第1の論理エレメントを用いて高速を要求する回路部分を実現する場合、高速での通信が要求される第1の論理エレメント間の配線を効率的に配置することができ、プログラマブル・ロジック・デバイスへのマッピングの際に小面積化を図ることができる。
- [0023] 第6の発明によれば、高速の処理性能を要求するアプリケーションに対して、高速での動作が要求される回路を中央部にまとめて配置することによって、論理エレメント間の配線を効率的に実現することができるため、小面積でアプリケーションを実現す

ることができる。特に、低速かつ並列に処理を行う回路部分を高速で制御する必要があるアプリケーションに対して、その高速な制御を行う回路部分をまとめて中央部に配置することにより、効率よくマッピングすることが可能である。

[0024] 第7の発明によれば、高速の外部入出力を要求するアプリケーションにおいて、高速な信号処理の要求される回路部分を外部入出力に近接して配置することによって、論理エレメント間の配線を効率的に実現することができるため、小面積でアプリケーションを実現することができる。特に、外部からの入出力データ量が大きく高速での処理が必要であり、かつ、処理の並列性が高く、各々の処理が独立しているようなアプリケーションを効率よくマッピングすることが可能である。

[0025] 第8の発明によれば、第1の発明の小面積かつ低消費電力のプログラマブル・ロジック・デバイスを製造することができる。

図面の簡単な説明

[0026] [図1]本発明の第1の実施の形態のプログラマブル・ロジック・デバイスを示す構成図である。

[図2]図1に示したプログラマブル・ロジック・デバイスに搭載する論理エレメントのブロック図である。

[図3]本発明の第2の実施の形態のプログラマブル・ロジック・デバイスを示す構成図である。

[図4]本発明の第3の実施の形態のプログラマブル・ロジック・デバイスを示す構成図である。

符号の説明

[0027] 101、301、401 プログラマブル・ロジック・デバイス

102、302 第1の論理エレメント

103、303、402 領域1

104、304 第2の論理エレメント

105、305、403 領域2

106、306 配線

107、307、404 クロック生成ブロック

108、308 外部IOブロック

発明を実施するための最良の形態

[0028] 以下、本発明の実施の形態について図面を参照しながら説明する。

(第1の実施の形態)

図1は第1の実施の形態のプログラマブル・ロジック・デバイスを示す構成図である。図1において、プログラマブル・ロジック・デバイス101は、第1の論理エレメント102を複数配置して構成した領域1(103)と、第1の論理エレメント102に比較して、論理構造と機能は同じであるが、回路を構成するトランジスタとして閾値電圧の高いトランジスタを用いて構成した第2の論理エレメント104を複数配置して構成した領域2(105)と、各第1の論理エレメント102の間または各第2の論理エレメント104の間に水平方向と垂直方向に配置され、第1の論理エレメント102どうしまたは第2の論理エレメント104どうしを相互に接続する配線106と、二つの異なる周波数のクロックを出力し、図中に表記していないが、周波数の高い方のクロックを第1の領域103の論理エレメント102に供給し、周波数の低い方のクロックを第2の領域105の論理エレメント104に供給するクロック生成ブロック107と、チップの外部との通信を行う外部IOブロック108とを備える。

[0029] 図2は図1のプログラマブル・ロジック・デバイスに搭載する第1の論理エレメント102と第2の論理エレメント104の内部構造である。論理エレメント102、104は、隣り合うものどうしを相互に接続する配線106を介して回路構成の情報を格納するコンフィギュレーションメモリ202と、コンフィギュレーションメモリ202に格納されているプログラムによって複数の種類の演算が可能な、算術論理演算回路や乗算器などからなる演算ブロック203と、コンフィギュレーションメモリ202に格納されているプログラムによって、演算ブロック203の演算結果を一時保持しておくことが可能な複数のレジスタ204と、コンフィギュレーションメモリ202に格納されているプログラムによって演算ブロック203の入力やレジスタ204の出力を、論理エレメント102どうし、または論理エレメント104どうしを相互に接続する配線106へと接続することが可能なスイッチボックス205とからなる。

[0030] 図2の構成を持つ論理エレメント102、104において、図1の第1の論理エレメント1

02と第2の論理エレメント104を比較すると、第2の論理エレメント104は閾値電圧の高いトランジスタを用いているため、第1の論理エレメント102に比較して演算ブロックの動作速度が低速となる。しかしながら、第2の論理エレメント104は、トランジスタの閾値電圧が高いために、トランジスタがオフ時の電流であるリーク電流が小さく、第1の論理エレメント102に比較して低消費電力となっている。

- [0031] 以上のように構成された本実施の形態について、以下、その動作について説明する。図1に記載のプログラマブル・ロジック・デバイスを用いて実現するアプリケーションの例として、CDMA(Code Division Multiple Access)通信システムのデジタルベースバンド処理を想定する。CDMA通信システムには、同期部における相関ピーク検出処理、同期検波部におけるフィンガー処理、フィンガー部を制御するセルサーチ処理、チャネルコーディック処理などがある。
- [0032] このアプリケーションを図1に記載のプログラマブル・ロジック・デバイスを用いて実現する場合、相関ピーク検出処理やフィンガー処理は入力データに対して複数の並列処理を実施する処理であるため、処理を分散し並列化することができる。したがって、動作周波数を低くすることができるため、プログラマブル・ロジック・デバイスの領域2を割り当てることが可能である。
- [0033] 一方、セルサーチ処理は、フィンガー部でのデータ処理に最適なパラメータの抽出の必要があるため、比較や分岐の処理が多段になっていること、またチャネルコーディック処理に関しては、入力された信号を逐次処理する必要があることから、並列性を高めることが困難であり、高い動作周波数とする必要がある。したがって、これらの処理はプログラマブル・ロジック・デバイスの領域1を用いて実現する必要がある。
- [0034] 本発明のプログラマブル・ロジック・デバイスを参考文献1に記載のプログラマブル・ロジック・デバイスと比較すると、相関ピーク検出処理やフィンガー処理に使用する第2の論理エレメント104のトランジスタの閾値電圧が高いため、リーク電流を削減することが可能で、全体の消費電力を削減することができる。
- [0035] 以上のように、本実施の形態によれば、あるアプリケーションを本プログラマブル・ロジック・デバイスを用いて実現することによって、デバイス内の論理エレメントがすべて同じ閾値電圧のトランジスタを用いた従来のプログラマブル・ロジック・デバイスを用い

て実現する場合に比べ、低消費電力で実現することが可能である。

[0036] (第2の実施の形態)

図3は第2の実施の形態のプログラマブル・ロジック・デバイスを示す構成図である。図3において、プログラマブル・ロジック・デバイス301は、第1の論理エレメント302を複数配置して構成した領域1(303)と、第1の論理エレメント302に比較して、論理構造と機能はまったく同じであるが、回路を構成するトランジスタとしてゲート幅Wの小さいトランジスタを用いて構成した第2の論理エレメント304を複数配置して構成した領域2(305)と、各第1の論理エレメント302の間または各第2の論理エレメント304の間に水平方向と垂直方向に配置され、第1の論理エレメント302どうしまたは第2の論理エレメント304どうしを相互に接続する配線306と、二つの異なる周波数のクロックを出力し、図中に表記していないが、周波数の高い方のクロックを第1の領域303の論理エレメント302に供給し、周波数の低い方のクロックを第2の領域305の論理エレメント304に供給するクロック生成ブロック307と、チップの外部との通信を行う外部IOブロック308とを備える。

[0037] 図3のプログラマブル・ロジック・デバイスに搭載する第1の論理エレメント302と第2の論理エレメント304の論理構造と機能は、第1の実施の形態の論理エレメント102、104と同じである。

[0038] 図3の第1の論理エレメント302と第2の論理エレメント304を比較すると、第2の論理エレメント304はゲート幅Wの小さなトランジスタを用いており、トランジスタの電流供給能力が低いため、第1の論理エレメント302に比較して演算ブロックの動作速度が低速となる。

[0039] しかしながら、第2の論理エレメント304は、トランジスタのゲート幅Wが小さいために、ゲートに寄生する容量が小さく、入力部の配線負荷が小さい。したがって、第2の論理エレメント304は、式1の容量Cを小さくすることができ、第1の論理エレメント302に比較して動作時の消費電力を少なくすることができる。また、第2の論理エレメント304は、トランジスタのゲート幅Wが小さいために、第1の論理エレメント302に比較して小面積である。

[0040] 以上のように構成された本実施の形態について、以下、その動作について説明す

る。図1に記載のプログラマブル・ロジック・デバイスを用いて実現するアプリケーションの例として、第1の実施の形態と同様に、CDMA通信システムのデジタルベースバンド処理を想定する。相関ピーク検出処理やフィンガー処理は、動作周波数を低くすることができるため、プログラマブル・ロジック・デバイスの領域2を用いて実現することが可能である。一方、セルサーチ処理やチャネルコーディック処理に関しては、高い動作周波数とする必要があるため、プログラマブル・ロジック・デバイスの領域1を用いて実現する必要がある。

[0041] 本発明のプログラマブル・ロジック・デバイスを参考文献1に記載のプログラマブル・ロジック・デバイスと比較すると、相関ピーク検出処理やフィンガー処理に使用する第2の論理エレメント304のトランジスタのゲート幅 W が小さいため、ゲート容量が小さく、動作時の消費電力が少なくなる。また、相関ピーク検出処理やフィンガー処理に使用する第2の論理エレメント304のトランジスタのゲート幅 W が小さいため、小面積となる。

[0042] 以上のように、本実施の形態によれば、あるアプリケーションを本プログラマブル・ロジック・デバイスを用いて実現することによって、デバイス内の論理エレメントがすべて同じゲート幅 W を持つトランジスタを用いた従来のプログラマブル・ロジック・デバイスを用いて実現する場合に比べ、低消費電力かつ小面積で実現することが可能である。

[0043] 前記第1、第2の実施の形態では、高速で動作する領域1をプログラマブル・ロジック・デバイスの中央部に配置した。これは、領域1にマッピングされた処理が領域2にマッピングされた処理を制御したり、領域2の処理に必要なパラメータを出力したりする場合に有効である。これは、領域1から領域2へ接続する配線が短距離となるためである。すなわち、前述のCDMA通信システムの例を用いると、領域1にマッピングされているセルサーチ処理部で算出した最適なパラメータを領域2にマッピングされているフィンガー処理部へ伝送する際、フィンガー処理部への接続を短距離で実現できるためである。

[0044] このように、高速で動作する領域1をプログラマブル・ロジック・デバイスの中央部に配置することは、高速での動作が必要な回路部分から、低速での動作を行う回路部

分に対して、高速での制御を必要とするアプリケーションに対して好都合である。

[0045] (第3の実施の形態)

図4は第3の実施の形態のプログラマブル・ロジック・デバイスを示す構成図である。図4において、プログラマブル・ロジック・デバイス401は、第1の論理エレメントを複数配置して構成した領域1(402)と、第1の論理エレメントに比較して、論理構造と機能はまったく同じであるが、動作速度の設計上限が低速である第2の論理エレメントを複数配置して構成した領域2(403)と、二つの異なる周波数のクロックを出力し、図中に表記していないが、周波数の高い方のクロックを第1の領域402の論理エレメント供給し、周波数の低い方のクロックを第2の領域403の第2の論理エレメントに供給するクロック生成ブロック404を備える。

[0046] 図4では、領域1(402)はプログラマブル・ロジック・デバイス401の周辺部に、また領域2(403)はプログラマブル・ロジック・デバイス401の中央部に配置する構成を持つ。

[0047] 図4のプログラマブル・ロジック・デバイス401を用いて実現するアプリケーションとして、動画圧縮方式であるMPEGのエンコード処理を想定する。

MPEGのエンコード処理は、動きベクトル検出、離散コサイン変換、量子化などの処理がある。この中でもっとも高速化かつ処理量の大きな処理ブロックは、動きベクトル算出である。

[0048] ここで、動きベクトル検出について詳細に検討すると、この処理はあるマクロブロックに近接する複数のマクロブロックとの相関をとる演算で、外部から多量のマクロブロックデータの入力が必要とする。一方、この演算は、マクロブロックとの差分の絶対値の合計を算出する処理(SAD演算:Sum of Absolute Difference)であり、処理の並列性が高く、かつ各々のSAD演算が独立している。

[0049] したがって、図4のプログラマブル・ロジック・デバイス401の領域1(402)に動きベクトル検出処理をマッピングし、プログラマブル・ロジック・デバイス401の領域2(403)に離散コサイン変換、量子化の処理をマッピングした場合、領域1(402)が外部入出力に近接して配置されているため、動きベクトル検出処理に必要なデータを高速で入力することが可能である。また、動きベクトル検出処理は各々の処理が独立して

いるため、領域1(402)内部の論理エレメント間を接続する長配線は少ない。したがって、領域1(402)に動きベクトル検出処理を効率よくマッピングすることができる。

- [0050] 以上のように、本実施の形態によれば、外部からの入出力データ量が大きく高速での処理が必要であり、かつ、処理の並列性が高く、各々の処理が独立しているようなアプリケーションを効率よく実現することが可能である。

産業上の利用可能性

- [0051] 本発明のプログラマブル・ロジック・デバイスは、実現するアプリケーションのうち、高速を要求する回路部分を第1の論理エレメントを使用して実現し、低速で動作する回路部分を第2の論理エレメントを使用して実現することができるため、すべての回路を高速対応の第1の論理エレメントを使用して実現した場合に比較して、小面積かつ低消費電力で実現することができるという効果を有し、プログラム可能な論理エレメントを行・列の方向に複数配置するプログラマブル・ロジック・デバイス等として有用である。

請求の範囲

- [1] プログラム可能な複数の論理エレメントを配置してなるプログラマブル・ロジック・デバイスであって、
前記複数の論理エレメントが
所定の論理を有する第1の論理エレメントと、
前記第1の論理エレメントと同論理で、かつ動作速度の設計上限が前記第1の論理エレメントに比較して低速である第2の論理エレメントと
を含むことを特徴とするプログラマブル・ロジック・デバイス。
- [2] 請求項1に記載のプログラマブル・ロジック・デバイスにおいて、
前記第2の論理エレメントに、前記第1の論理エレメントに用いるトランジスタに比較して閾値電圧の高いトランジスタを用いること
を特徴とするプログラマブル・ロジック・デバイス。
- [3] 請求項1に記載のプログラマブル・ロジック・デバイスにおいて、
前記第2の論理エレメントは、前記第1の論理エレメントと異なるレイアウト構造を持つこと
を特徴とするプログラマブル・ロジック・デバイス。
- [4] 請求項1から3いずれかに記載のプログラマブル・ロジック・デバイスにおいて、
前記第1の論理エレメントは、第1のクロック周波数のクロック信号で作動し、
前記第2の論理エレメントは、前記第1のクロック周波数と比して低い第2のクロック周波数のクロック信号で作動すること、
を特徴とするプログラマブル・ロジック・デバイス。
- [5] 請求項1から4いずれかに記載のプログラマブル・ロジック・デバイスにおいて、
前記第1の論理エレメントを一箇所に固めて配置すること
を特徴とするプログラマブル・ロジック・デバイス。
- [6] 請求項5に記載のプログラマブル・ロジック・デバイスにおいて、
前記第1の論理エレメントを中央部に配置し、
前記第2の論理エレメントを、前記第1の論理エレメントを配置した領域と比して周辺部に配置すること

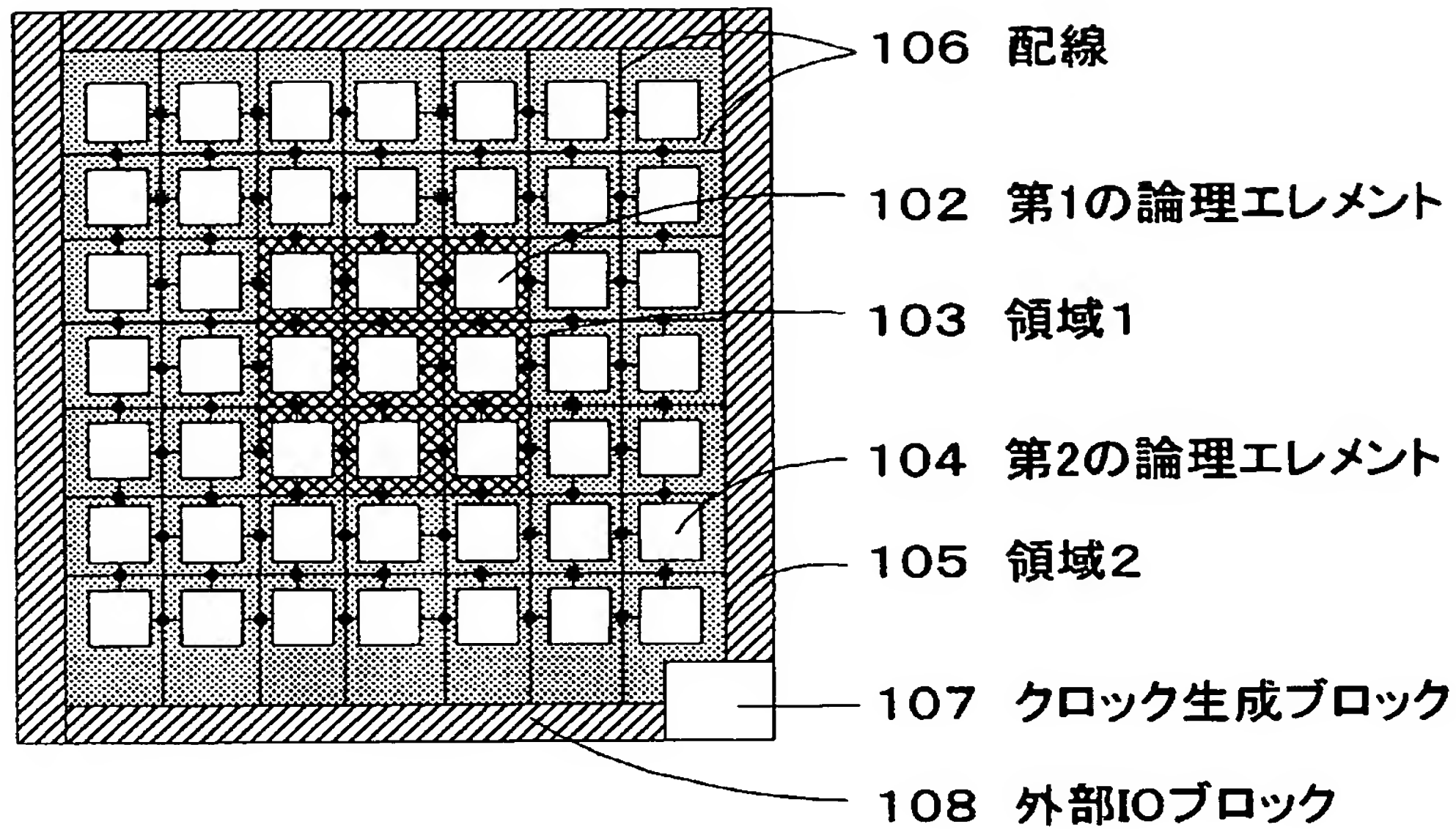
を特徴とするプログラマブル・ロジック・デバイス。

- [7] 請求項5記載のプログラマブル・ロジック・デバイスにおいて、
前記第2の論理エレメントを中央部に配置し、
前記第1の論理エレメントを、前記第2の論理エレメントを配置した領域と比して周辺部に配置すること

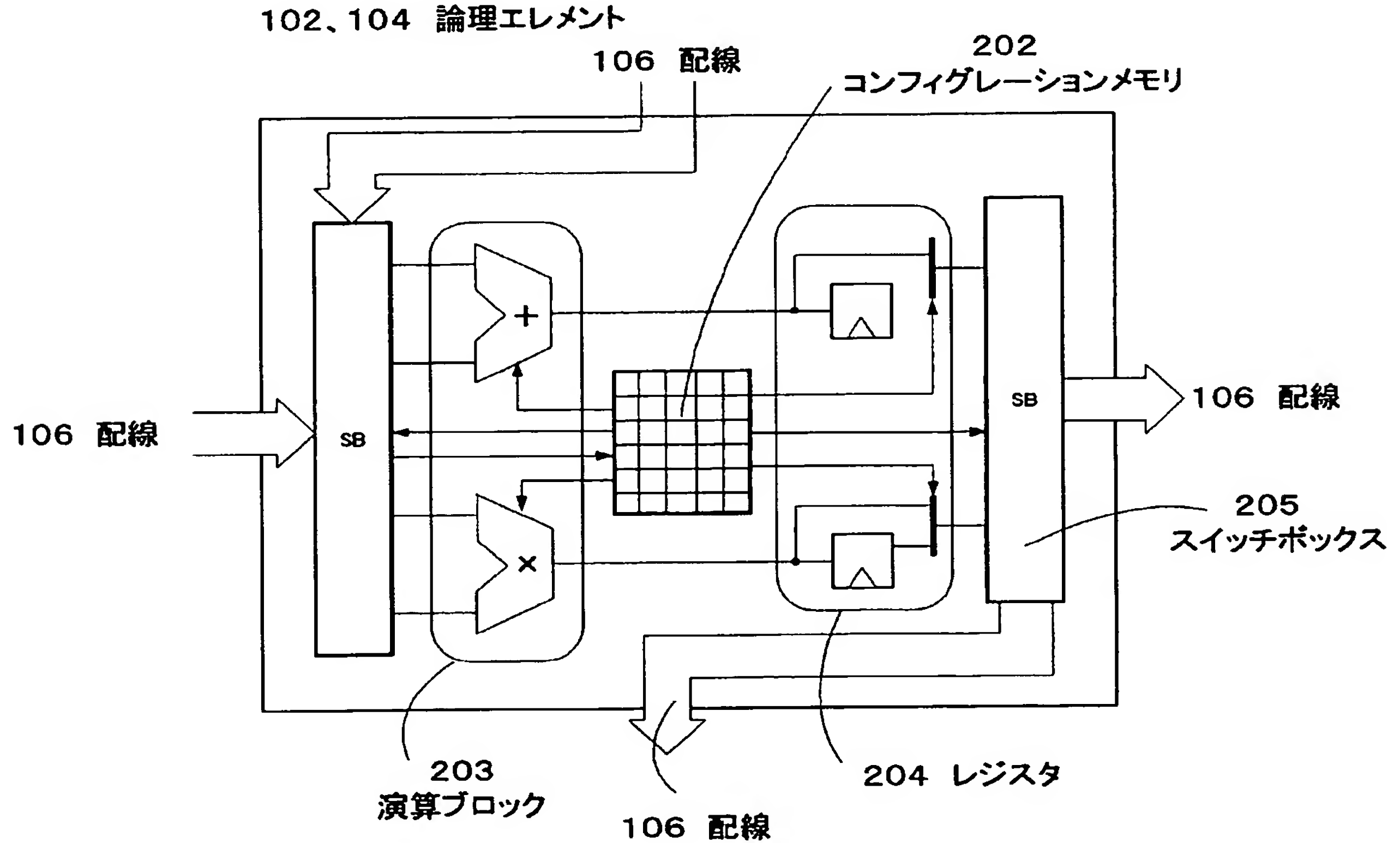
を特徴とするプログラマブル・ロジック・デバイス。

- [8] プログラム可能な複数の論理エレメントを配置してなるプログラマブル・ロジック・デバイスを設計する方法であって、
所定の論理を有する第1の論理エレメントを設計する工程と、
前記第1の論理エレメントと同論理で、かつ動作速度の設計上限が前記第1の論理エレメントに比較して低速である第2の論理エレメントを設計する工程と
を備えることを特徴とするプログラマブル・ロジック・デバイスの設計方法。

[図1]

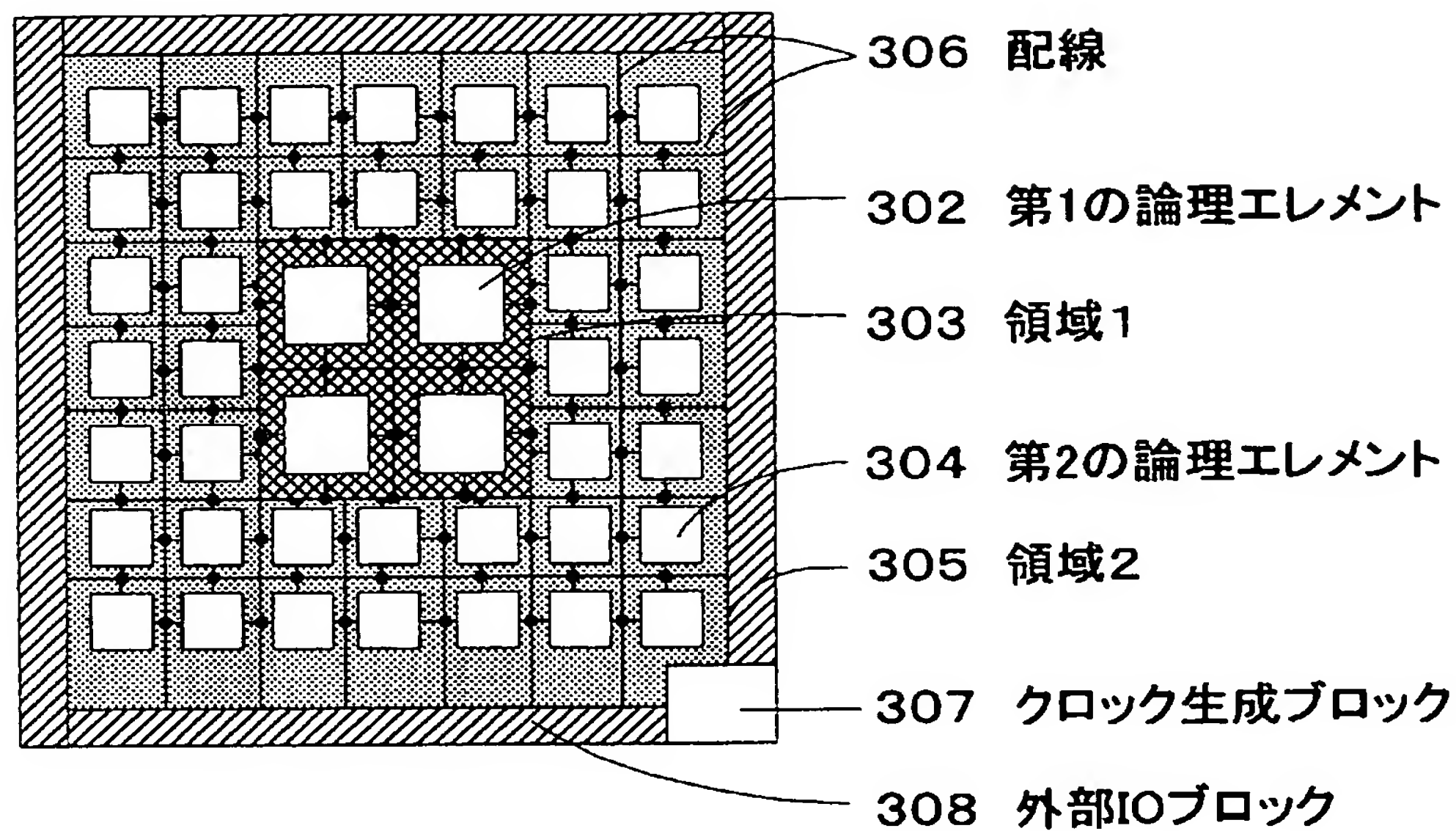
101
プログラマブル・ロジック・デバイス

[図2]



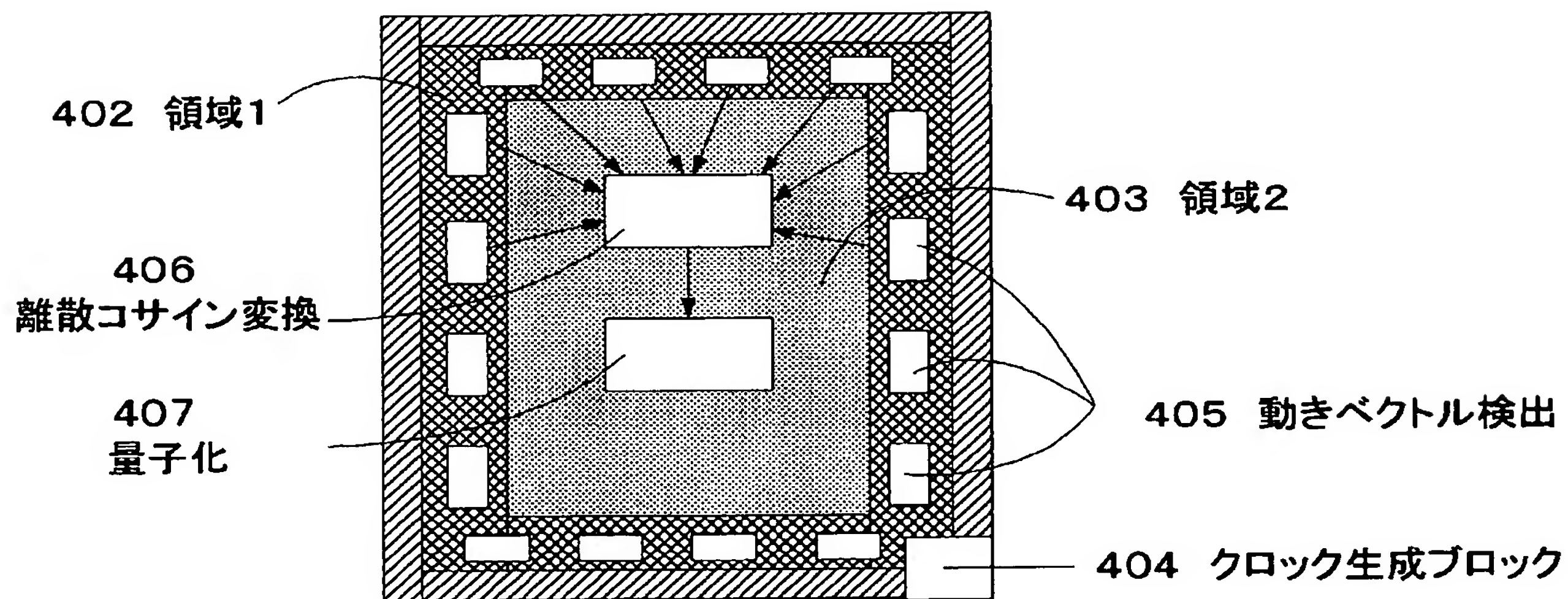
[図3]

301
プログラマブル・ロジック・デバイス



[図4]

401
プログラマブル・ロジック・デバイス



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004221

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/82, 21/8234, 27/088

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/82, 21/8234, 27/088

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2003/001591 A1 (Hitachi, Ltd.), 03 January, 2003 (03.01.03), Page 4, line 26 to page 7, line 49 (Family: none)	1, 4, 8 2-3, 5-7
X	JP 07-297291 A (Hitachi, Ltd.), 10 November, 1995 (10.11.95), Par. Nos. [0006] to [0029] (Family: none)	1, 8
Y	US 2003/0016055 A1 (OODAIRA et al.), 23 January, 2003 (23.01.03), Par. No. [0005] & JP 2003-031676 A	2, 5-7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 June, 2005 (06.06.05)Date of mailing of the international search report
21 June, 2005 (21.06.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004221

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2002/0100944 A1 (ISHIBASHI et al.), 01 August, 2002 (01.08.02), Par. No. [0074] & JP 2001-015704 A	2-3, 5-7
Y	JP 07-161938 A (Hitachi, Ltd.), 23 June, 1995 (23.06.95), Par. Nos. [0004] to [0012] (Family: none)	5-6
Y	JP 07-066373 A (Olympus Optical Co., Ltd.), 10 March, 1995 (10.03.95), Par. Nos. [0006] to [0024] (Family: none)	5, 7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/82, 21/8234, 27/088

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/82, 21/8234, 27/088

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 2003/001591 A1 (株式会社日立製作所), 2003. 01. 03, 第4頁第26行-第7頁第49行 (ファミ リーなし)	1, 4, 8
Y		2-3, 5-7
X	JP 07-297291 A (株式会社日立製作所), 1995. 11. 10, 【0006】-【0029】段落 (ファミリ ーなし)	1, 8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

06. 06. 2005

国際調査報告の発送日

21. 6. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

電話番号 03-3581-1101 内線 3498

4L

9361

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 2003/0016055 A1 (OODAIRA ET AL.) , 2003. 01. 23, [0005] 段落 & JP 2003-031676 A	2, 5-7
Y	US 2002/0100944 A1 (ISHIBASHI ET AL.) , 2002. 08. 01, [0074] 段落 & JP 2001-015704 A	2-3, 5-7
Y	JP 07-161938 A (株式会社日立製作所), 1995. 06. 23, 【0004】 - 【0012】 段落 (ファミリ ーなし)	5-6
Y	JP 07-066373 A (オリンパス光学工業株式会社), 1995. 03. 10, 【0006】 - 【0024】 段落 (ファミリ ーなし)	5, 7